

# Система на кристалі на основі процесорного ядра MicroBlaze

Дипломна робота  
Хижинського А. М.

# Система на кристалі на основі процесорного ядра MicroBlaze

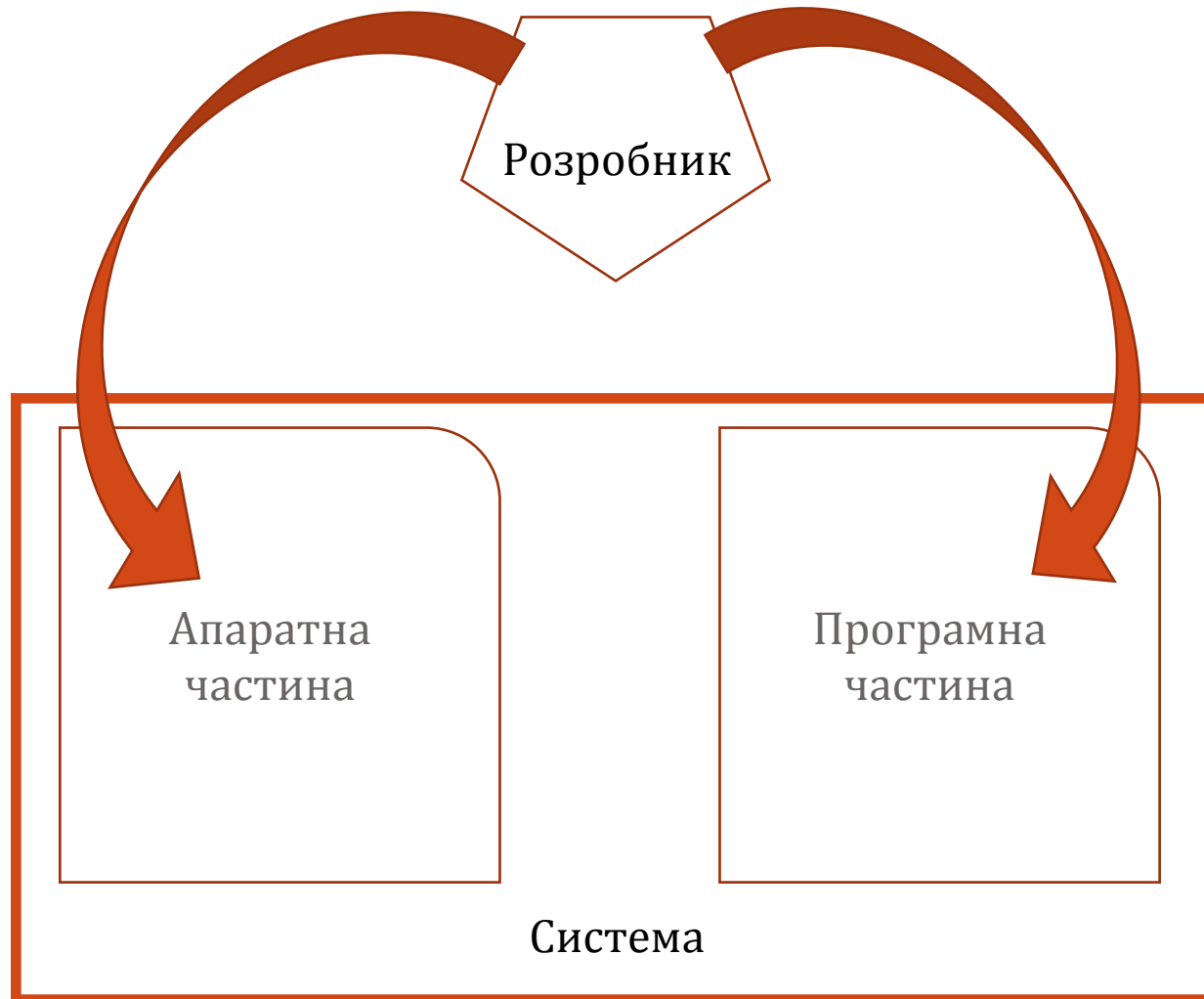
- Огляд існуючих технологій побудови систем на інтегральних схемах;
- Основні програмні засоби розробки апаратної і програмної частин платформи SoC;
- Архітектурні особливості процесорного ядра MicroBlaze;
- Маршрут проектування SoC;
- Оптимізований алгоритм обчислення FFT;
- Тестування спроектованої платформи.

# Огляд існуючих технологій побудови систем на інтегральних схемах

---

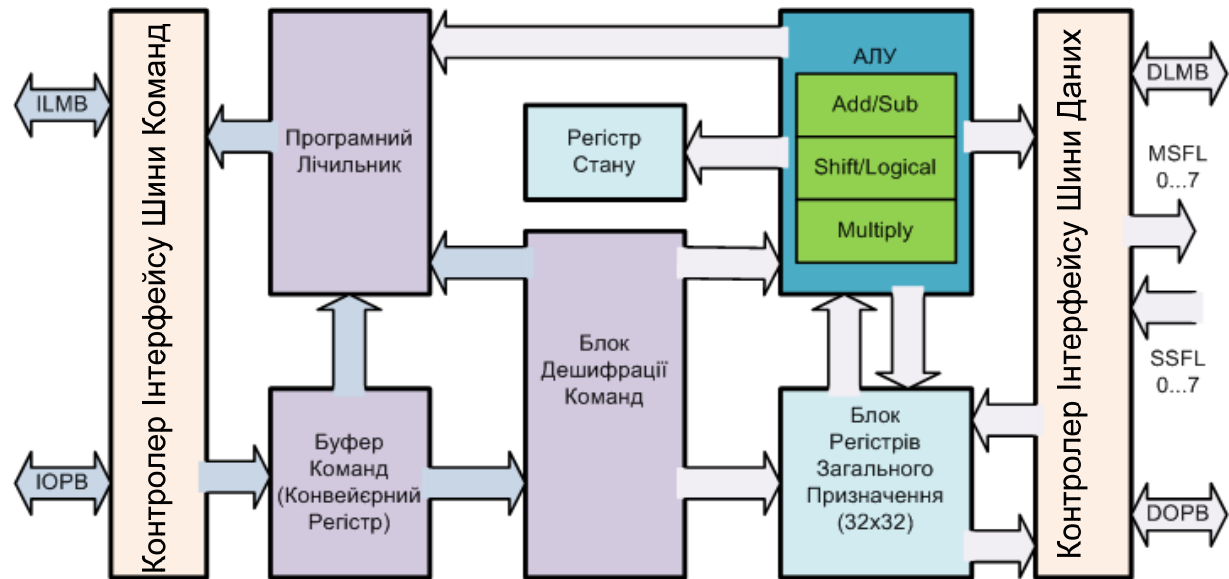
- Системи на базі “розсипної” логіки (MIS)
- ВІС:
  - З фіксованою структурою (мікропроцесори)
  - Спеціалізовані інтегральні схеми (ASIC)
  - Системи на кристалі на базі ПЛІС (FPGA, CPLD)

# Проектування систем на кристалі – новий етап в застосуванні сучасних технологій проектування



# Архітектурні особливості процесорного ядра MicroBlaze

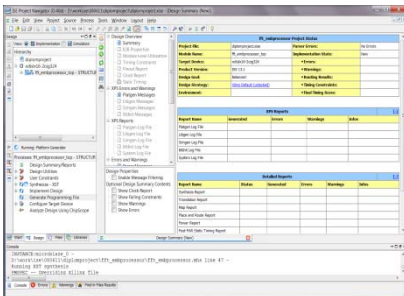
- Розрядність шини даних 32 біт
- Розрядність шини адреси 32 біт
- Кількість регістрів загального призначення 32 шт
- Кількість тактів на виконання однієї команди 2 такти
- Тип архітектури RISC
- Максимальна тактова частота роботи ядра 200 МГц
- Кількість команд 106 шт



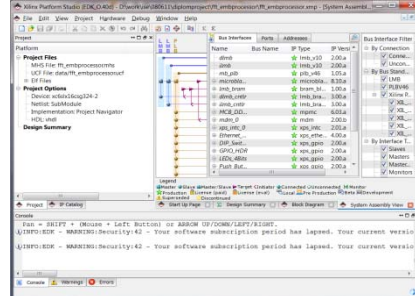
# Основні програмні засоби розробки апаратної і програмної частин платформи SoC

## ISE System Edition

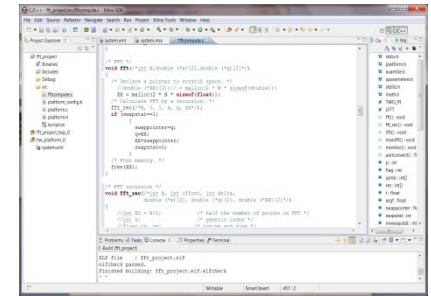
ISE



XPS



SDK



# Xilinx Platform Studio

System Assembly  
View:  
интерфейс шини

The screenshot displays the Xilinx Platform Studio (EDK\_O.40d) interface. The main window shows the System Assembly View of a project. The Project tree on the left lists files like MHS, UCF, and HDL. The central diagram shows a vertical bus structure with various components connected. The Bus Interfaces table on the right lists components like dlm, ilmb, mb\_plb, microbla, lmb\_bram, dlm\_cntlr, ilmb\_cntlr, MCB\_DD, mdm\_0, xps\_intc\_0, Ethernet, DIP\_Swit, GPIO\_HDR, LEDs\_4Bits, and Push But. The Console window at the bottom shows a warning message: "INFO:EDK - WARNING:Security:42 - Your software subscription period has lapsed. Your current versio".

Name	Bus Name	IP Type	IP Versi
dlmb		★ lmb_v10	2.00.a
ilmb		★ lmb_v10	2.00.a
mb_plb		★ plb_v46	1.05.a
microbla...		★ microbla...	8.10.a
lmb_bram		★ bram_bl...	1.00.a
dlmb_cntlr		★ lmb_bra...	3.00.a
ilmb_cntlr		★ lmb_bra...	3.00.a
MCB_DD...		★ mpmc	6.03.a
mdm_0		★ mdm	2.00.b
xps_intc_0		★ xps_intc	2.01.a
Ethernet...		★ xps_ethe...	4.00.a
DIP_Swit...		★ xps_gpio	2.00.a
GPIO_HDR		★ xps_gpio	2.00.a
LEDs_4Bits		★ xps_gpio	2.00.a
Push But...		★ xps apio	2.00.a

# Xilinx Platform Studio

System Assembly  
View:

Розподіл адресного  
простору пам'яті

Xilinx Platform Studio (EDK\_O40d) - D:\work\ise\080611\diplomproject\fft\_embprocessor\fft\_embprocessor.xmp - [System Assembly View]

File Edit View Project Hardware Debug Window Help

Project Bus Interfaces Ports Addresses

Platform

- Project Files
  - MHS File: fft\_embprocessor.mhs
  - UCF File: data/fft\_embprocessor.ucf
  - Elf Files
- Project Options
  - Device: xc6slx16csg324-2
  - Netlist: SubModule
  - Implementation: Project Navigator
  - HDL: vhdl
- Design Summary

Instance	Base Name	Base Address	High Address	Size	Bus Interface(s)	Bus Name	Lock
microblaze_0s Address ...							
dlmb_cntlr	C_BASEADDR	0x00000000	0x0000FFFF	64K	SLMB	dlmb	
ilm_b_cntlr	C_BASEADDR	0x00000000	0x0000FFFF	64K	SLMB	ilm_b	
Ethernet_MAC	C_BASEADDR	0x81000000	0x8100FFFF	64K	SPLB	mb_plb	
Push_Buttons_4Bits	C_BASEADDR	0x81400000	0x8140FFFF	64K	SPLB	mb_plb	
LEDs_4Bits	C_BASEADDR	0x81420000	0x8142FFFF	64K	SPLB	mb_plb	
GPIO_HDR	C_BASEADDR	0x81440000	0x8144FFFF	64K	SPLB	mb_plb	
DIP_Switches_4Bits	C_BASEADDR	0x81460000	0x8146FFFF	64K	SPLB	mb_plb	
IIC_EEPROM	C_BASEADDR	0x81600000	0x8160FFFF	64K	SPLB	mb_plb	
xps_intc_0	C_BASEADDR	0x81800000	0x8180FFFF	64K	SPLB	mb_plb	
SPL_FLASH	C_BASEADDR	0x83400000	0x8340FFFF	64K	SPLB	mb_plb	
RS232_Uart_1	C_BASEADDR	0x84000000	0x8400FFFF	64K	SPLB	mb_plb	
mdm_0	C_BASEADDR	0x84400000	0x8440FFFF	64K	SPLB	mb_plb	
MCB_DDR2	C_MPMC_B...	0x88000000	0x8FFFFFFF	128M	SPLB0	mb_plb	

Legend

- Master Slave Master/Slave Target Initiator Connected Unconnected Monitor
- Production License (paid) License (eval) Local Pre Production Beta Development
- Superseded Discontinued

Project IP Catalog

Start Up Page Design Summary Block Diagram System Assembly View

Console

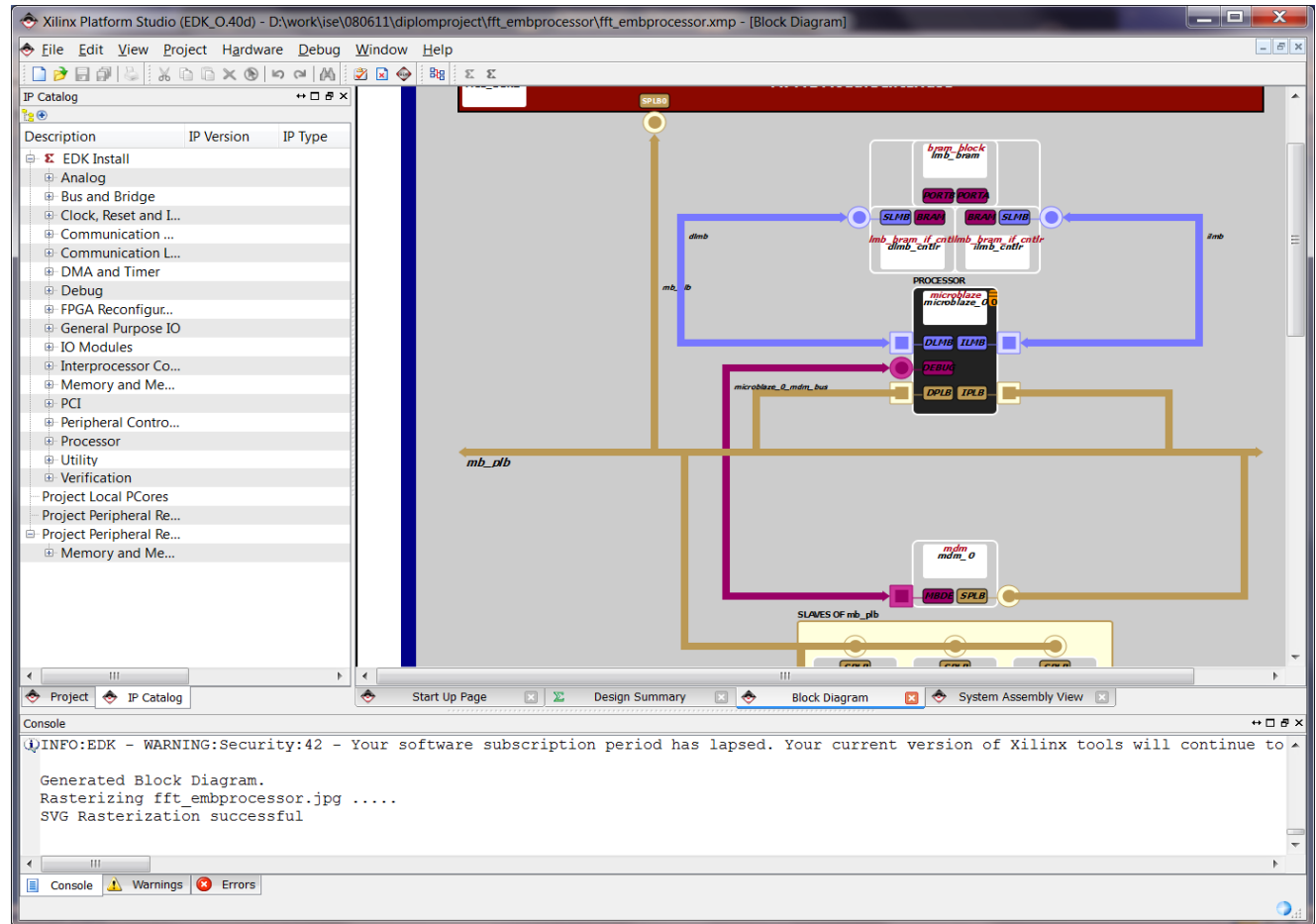
```
INFO:EDK - WARNING:Security:42 - Your software subscription period has lapsed. Your current version of Xilinx tools will continue  
Generated Block Diagram.  
Rasterizing fft_embprocessor.jpg .....  
SVG Rasterization successful
```

Console Warnings Errors



# Xilinx Platform Studio

## Block Diagram



# ISE Project Navigator

Генерація  
конфігураційного  
файлу

The screenshot displays the ISE Project Navigator interface for a project named "fft\_embprocessor". The main window shows the "Design Summary (New)" for the project. The interface is divided into several panes:

- Design Overview:** A tree view showing the project structure, including "Summary", "IOB Properties", "Module Level Utilization", "Timing Constraints", "Pinout Report", "Clock Report", "Static Timing", "XPS Errors and Warnings", "Platgen Messages", "Libgen Messages", "Simgen Messages", "BitInit Messages", "XPS Reports", and "Errors and Warnings".
- Design Properties:** A panel with checkboxes for "Enable Message Filtering", "Optional Design Summary Contents", "Show Clock Report", "Show Failing Constraints", "Show Warnings", and "Show Errors".
- Design Summary (New):** A table providing project status and reports.
- Console:** A window at the bottom showing the command prompt output.

**fft\_embprocessor Project Status**

Property	Value	Property	Value
Project File:	diplomproject.xise	Parser Errors:	No Errors
Module Name:	fft_embprocessor_top	Implementation State:	New
Target Device:	xc6sxl6-2csg324	• Errors:	
Product Version:	ISE 13.1	• Warnings:	
Design Goal:	Balanced	• Routing Results:	
Design Strategy:	Xilinx Default (unlocked)	• Timing Constraints:	
Environment:		• Final Timing Score:	

**XPS Reports**

Report Name	Generated	Errors	Warnings	Infos
Platgen Log File				
Libgen Log File				
Simgen Log File				
BitInit Log File				
System Log File				

**Detailed Reports**

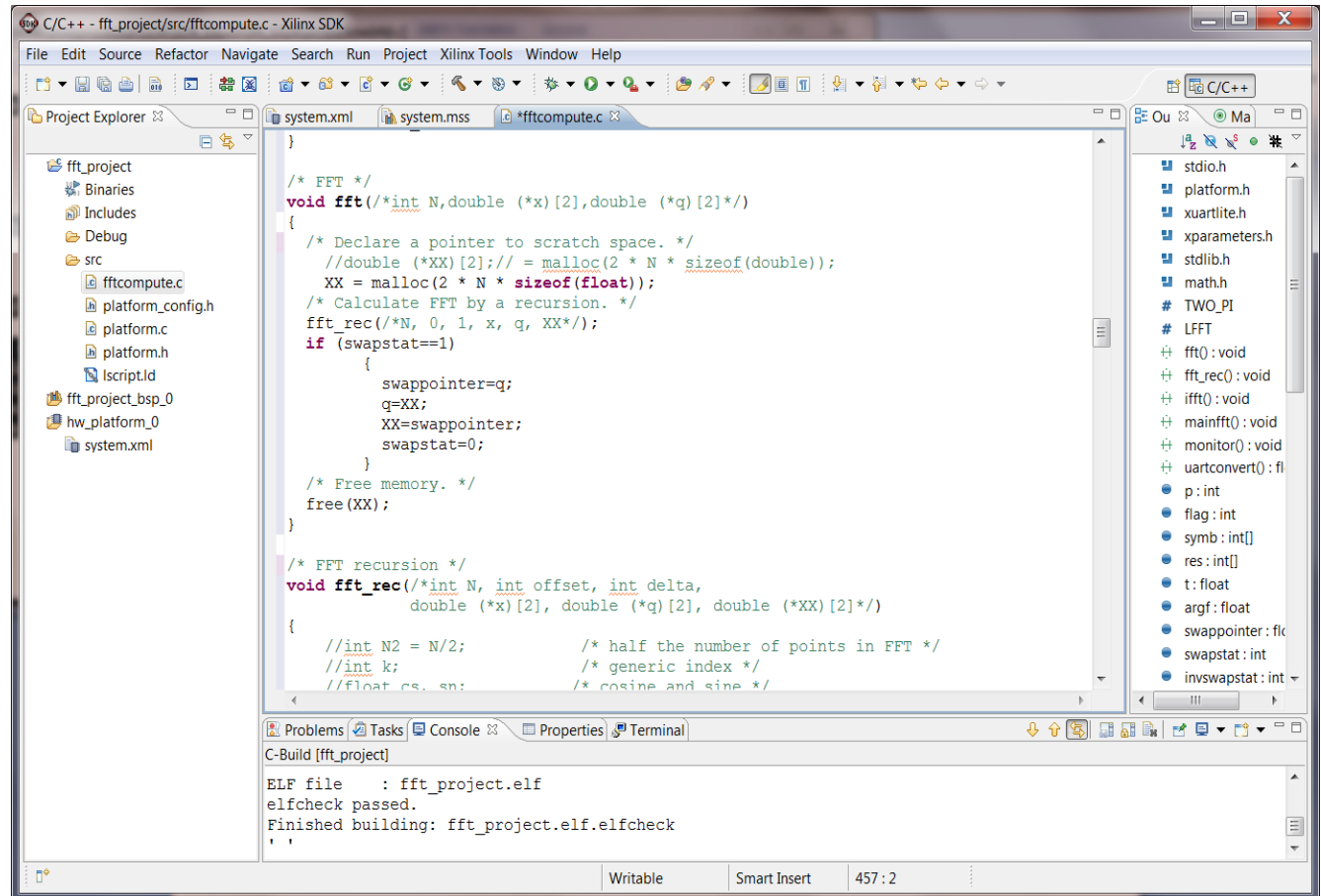
Report Name	Status	Generated	Errors	Warnings	Infos
Synthesis Report					
Translation Report					
Map Report					
Place and Route Report					
Power Report					
Post-PAR Static Timing Report					

**Console**

```
INSTANCE:microblaze_0 -  
D:\work\ise\080611\diplomproject\fft_embprocessor\fft_embprocessor.mhs line 47 -  
Running XST synthesis  
FMSPEC -- Overriding Xilinx file
```

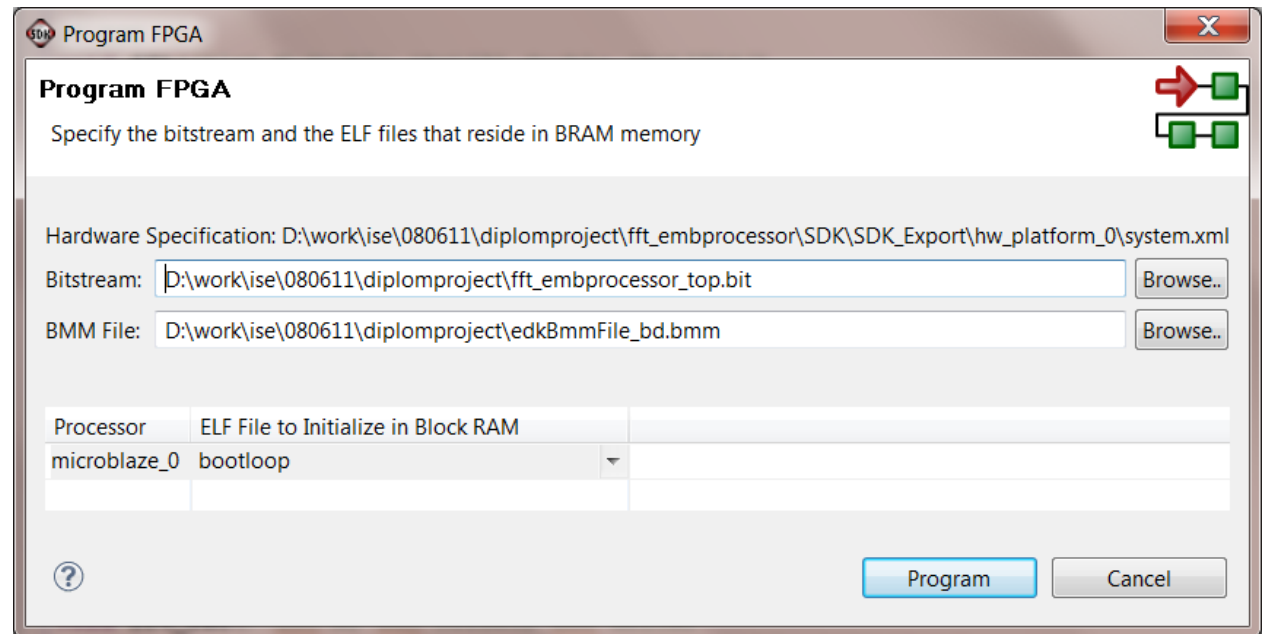
# Software Development Kit

Створення  
програмного  
проекту



# Software Development Kit

Завантаження  
конфігураційних  
файлів на кристал



# Software Development Kit

Налагодження  
програмного  
проекту (Debugging)

The screenshot displays the Xilinx SDK IDE in a debugging state. The main window is titled "Debug - fft\_project/src/fftcompute.c - Xilinx SDK". The interface is divided into several panes:

- Debug Console:** Shows the execution state of the program. It indicates that the "XMD Target Debug Agent" and "Thread [0]" are suspended. The call stack shows the current execution point in `mainfft()` at address `0x880012a4`.
- Variables Window:** Lists variables and their values:

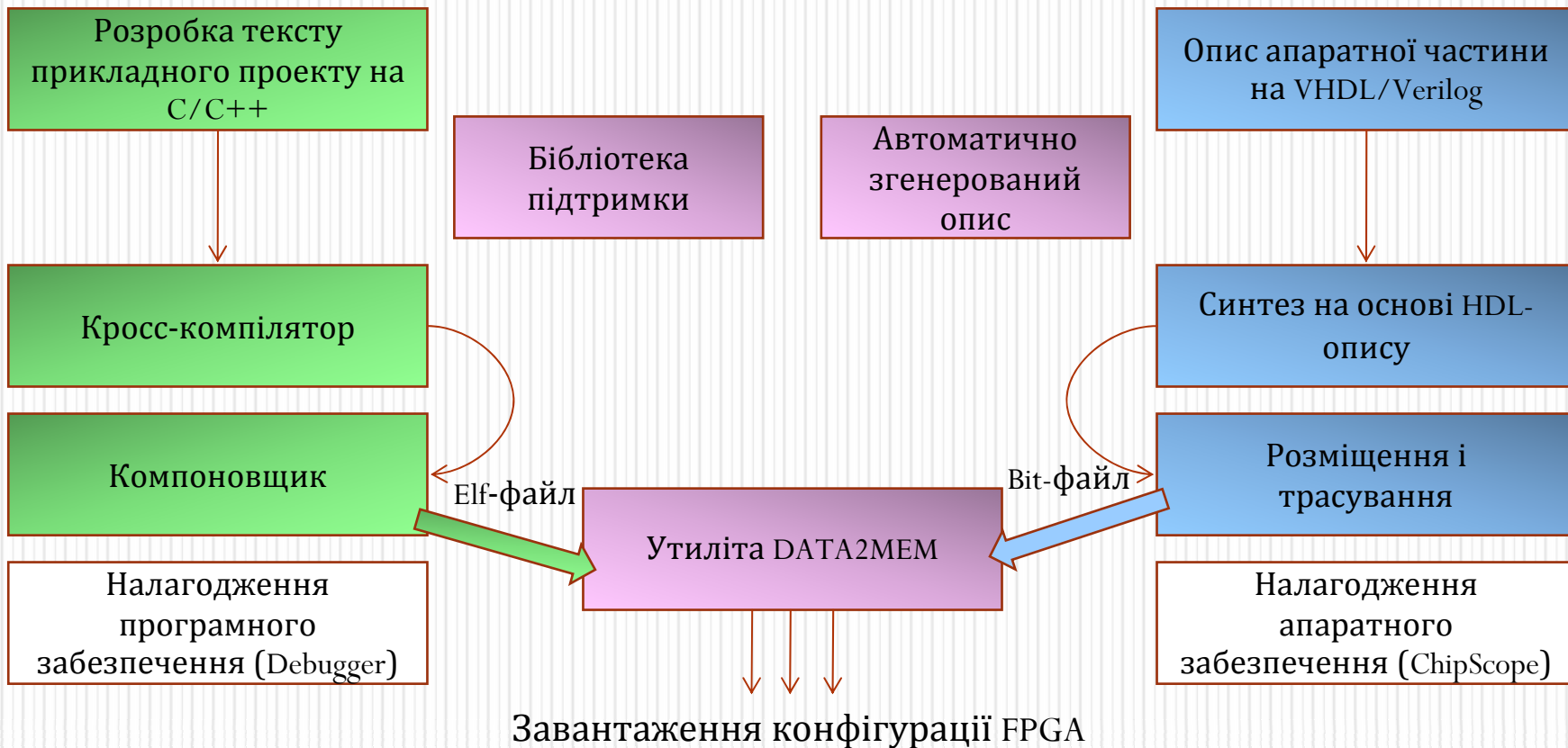
Name	Value
t	0.0
x	0x00000000
x[0]	0x00000000
x[0][0]	-4.6759396E-10
x[0][1]	-3.2474927E-5
- Source Editor:** Displays C++ code for `fftcompute.c`. The current line is `fft_rec(*N2, offset, 2*delta, x, XX, q*);`. The code includes recursive calls and pointer arithmetic.
- Outline Window:** Shows the assembly code corresponding to the current line of C++ code, including instructions like `addik r3, r0, 8`, `swi r3, r0, -29932`, and `bri 32`.
- Console:** Shows a message: "Process STDIO not connected to console. If you'd like to see UART output in this console, please modify STDIO settings in the Run/Debug configuration."

# Маршрут проектування SoC

Програмне забезпечення

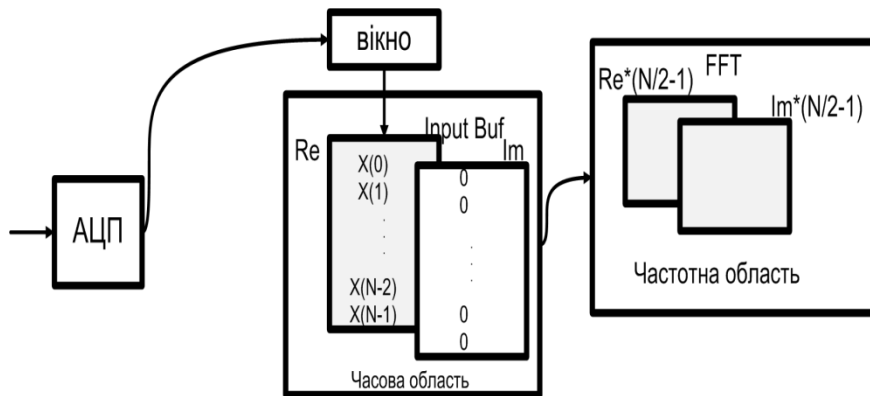
Xilinx Platform Studio

Апаратне забезпечення

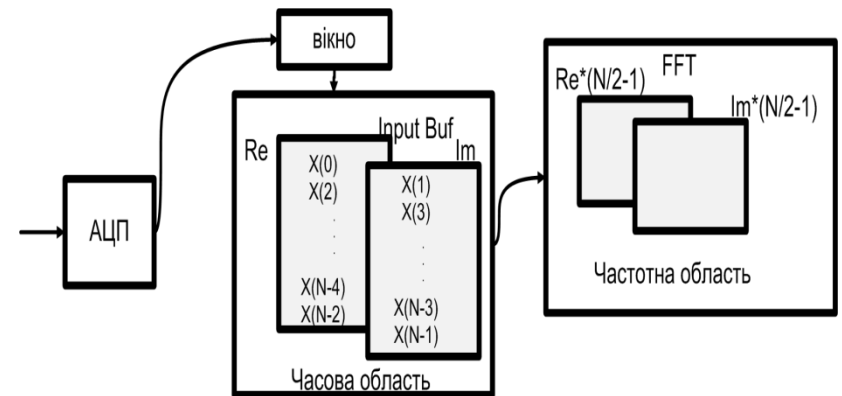


# Оптимізований алгоритм обчислення FFT

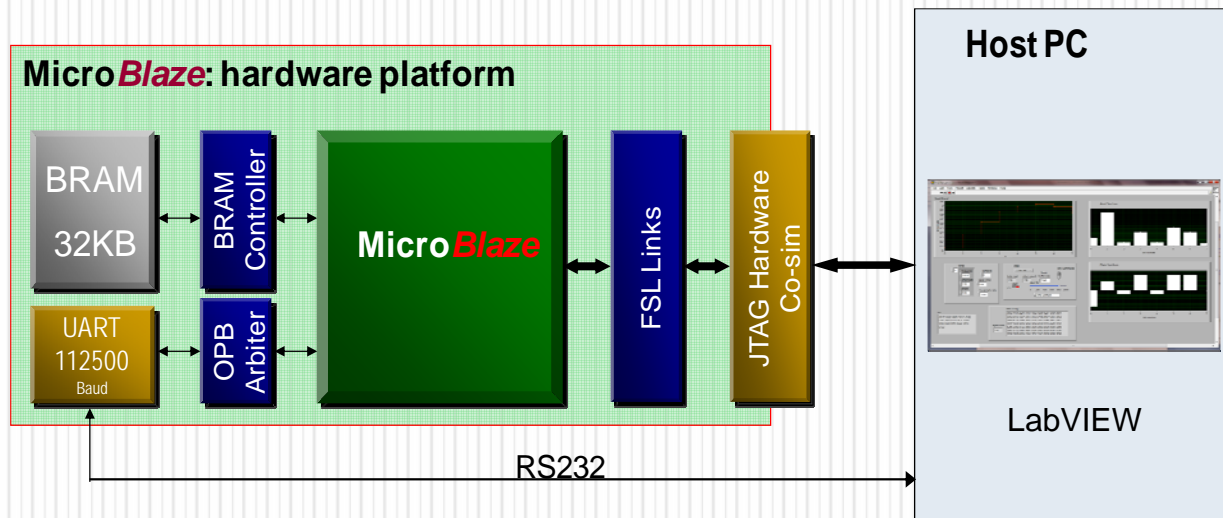
Стандартна схема обчислення  
FFT реального сигналу



Оптимізована схема  
обчислення FFT реального  
сигналу

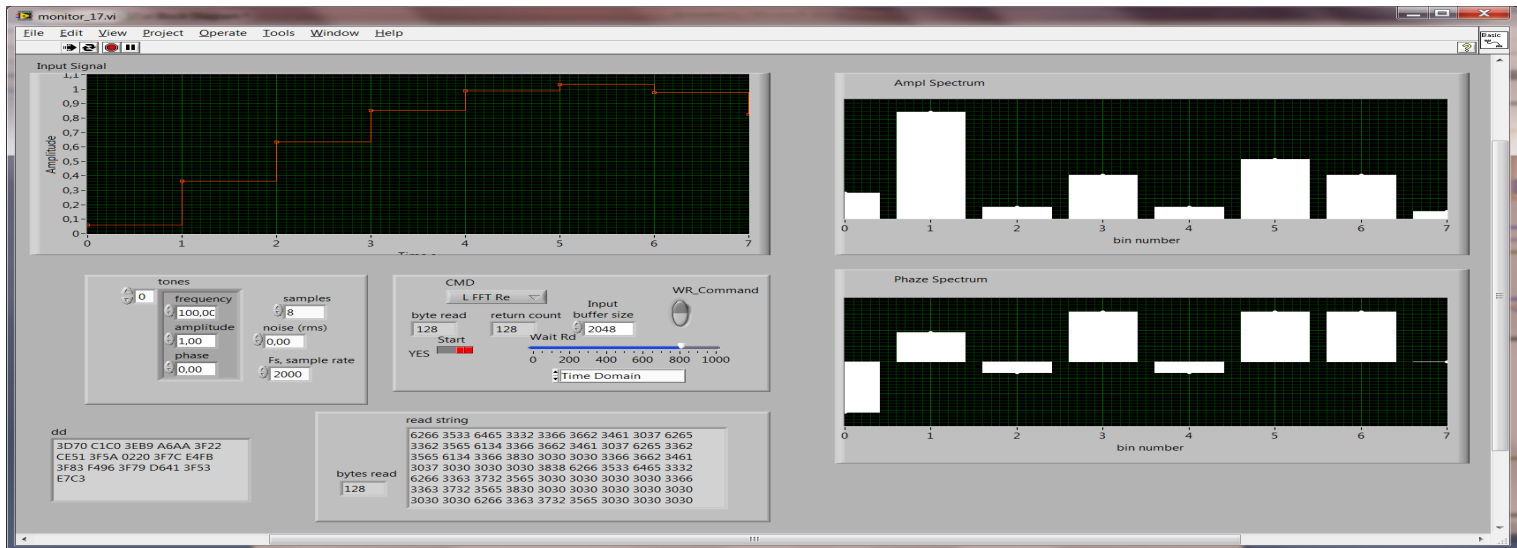
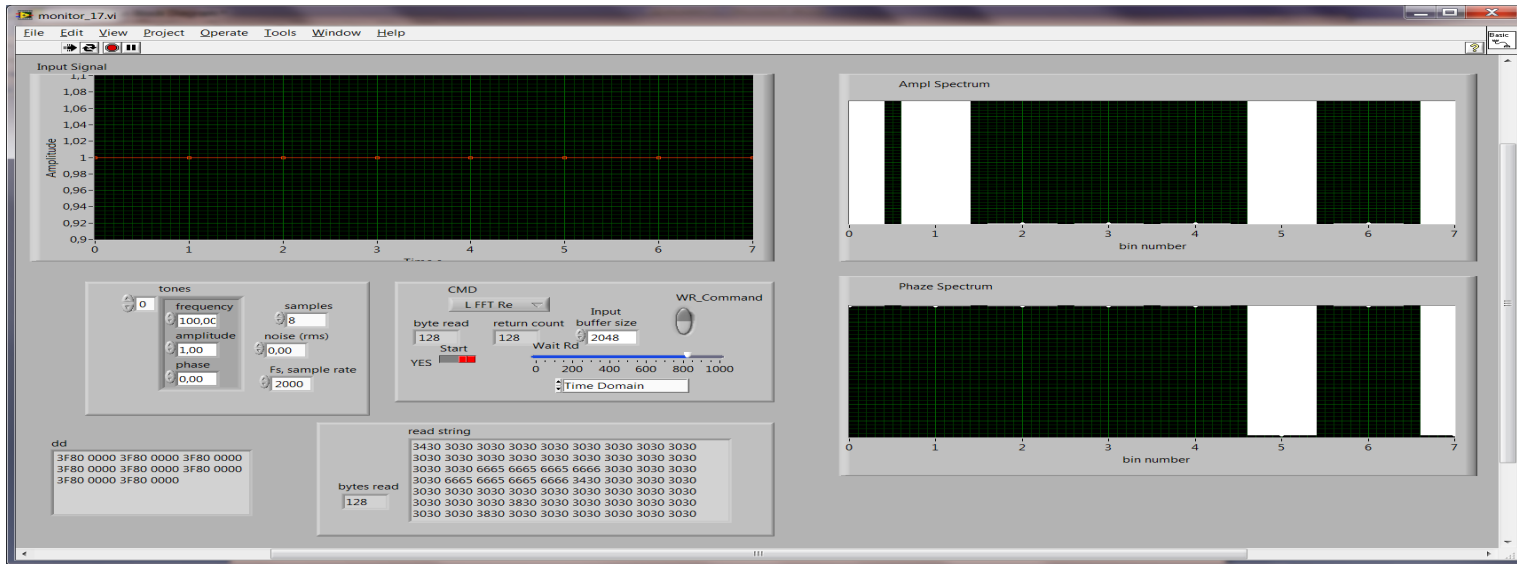


# Тестування спроектованої платформи





# Тестування спроектованої платформи у пакеті LabVIEW



# Система на кристалі на основі процесорного ядра MicroBlaze

Дипломна робота  
Хижинського А. М.